

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月24日

出 願 番 号

Application Number:

特願2002-372734

[ST.10/C]:

[JP2002-372734]

出 願 人

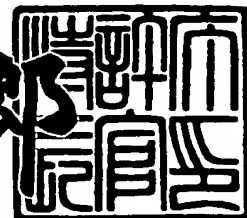
Applicant(s):

沖電気工業株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3039739

【書類名】 特許願

【整理番号】 KA003874

【提出日】 平成14年12月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 江川 良実

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 対向する第 1 及び第 2 の面を有し、前記第 1 の面から前記第 2 の面に至る開口部が形成された配線基板と、

前記第 1 の面に形成された端子と、

前記端子に電氣的に接続された状態で前記第 2 の面に形成され、内側端部が所定寸法だけ前記開口部内へ突出する配線と、

第 1 の外部端子が形成されると共に前記第 1 の外部端子の外側の外縁付近に内部接続端子が形成された第 3 の面と、前記第 3 の面に対向する第 4 の面とを有し、前記開口部内に収容されて前記内部接続端子が前記配線の内側端部上に載設され且つ前記内部接続端子が前記内側端部と電氣的に接続された第 1 の半導体素子と、

電極が形成された第 5 の面と、前記第 5 の面に対向する第 6 の面とを有し、前記第 6 の面が前記第 4 の面上に固着された第 2 の半導体素子と、

前記第 2 の半導体素子の電極と前記配線基板の配線とを電氣的に接続する導体と、

前記第 1 及び第 2 の半導体素子と前記導体とを封止する封止体と、

を備えたことを特徴とする半導体装置。

【請求項 2】 前記第 1 の半導体素子は、前記内部接続端子及び前記第 1 の外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージにより構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記配線基板における前記端子と前記配線とは、スルーホールにより電氣的に接続されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 項に記載の導体装置において、更に、

前記配線基板の第 2 の面に突設され、前記配線と電氣的に接続された第 2 の外

部端子を備えたことを特徴とする半導体装置。

【請求項 5】 前記第 2 の半導体素子は、複数のチップで構成されて前記第 1 の半導体素子の第 4 の面上に搭載されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記配線の内側端部は、複数本が前記開口部内へ突出して千鳥配置されていることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記配線基板の第 2 の面と、前記第 2 の面上の前記配線部分とは、絶縁膜により被覆されていることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記配線の内側端部と前記内部接続端子との接続箇所は、絶縁部材により被覆されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 対向する第 1 及び第 2 の面を有する配線基板であって、前記第 1 の面から前記第 2 の面に至る開口部が形成され、前記第 1 の面の前記開口部付近に端子が形成され、前記端子にスルーホールを介して電氣的に接続された配線が前記第 2 の面に形成され、前記配線の内側端部が所定寸法だけ前記開口部内へ突出している前記配線基板を準備する工程と、

第 1 の外部端子が形成されると共に前記第 1 の外部端子の外側の外縁付近に内部接続端子が形成された第 3 の面と、前記第 3 の面に対向する第 4 の面と、を有する第 1 の半導体素子における前記内部接続端子と、前記開口部内に突出した前記配線の内側端部とを位置決めし、前記第 1 の半導体素子を前記開口部へ挿入して前記内部接続端子を前記配線の内側端部上に載装し、前記内部接続端子を前記内側端部に電氣的に接続する工程と、

電極が形成された第 5 の面と、前記第 5 の面に対向する第 6 の面と、を有する第 2 の半導体素子における前記第 6 の面を、前記第 4 の面上に固着する工程と、

前記第 2 の半導体素子の電極と前記配線基板の配線とを導体により電氣的に接続する工程と、

前記第 1 及び第 2 の半導体素子と前記導体とを封止体で封止する工程と、

を施すことを特徴とする半導体装置の製造方法。

【請求項 1 0】 請求項 9 記載の半導体装置の製造方法において、更に、前記封止する工程の後に、前記配線基板の端子の外側箇所を切断して半導体装置を個片化する工程を、施すことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、薄型化、高密度実装可能で、製造プロセスが簡単な半導体装置及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

従来、高密度実装可能な半導体装置として、1つのパッケージ内に複数の半導体素子（以下「チップ」という。）を実装したマルチチップパッケージ（Multi-Chip-Package、以下「MCP」という。）構造のものが知られている。

【0 0 0 3】

例えば、2チップ積層タイプのMCPにおいて、チップサイズが同一もしくは同一に近い2チップを積層する場合、基板上に接着材で下チップを固定し、この下チップ上に接着材でシリコン片、テープ等のスペーサを固定し、該下チップから基板上のボンディングポストへ、ワイヤボンディング方式でワイヤの配線を行う。次に、スペーサ上に接着材で上チップを固定し、この上チップから基板上のボンディングポストへ、ワイヤボンディング方式でワイヤの配線を行う。そして、下チップ、上チップ及びワイヤ配線を樹脂で封止した後、基板下面に外部端子を取り付けている。

【0 0 0 4】

ところが、このようなMCPでは、スペーサを使用しているので、3チップ積層構造になり、パッケージ全体の厚さが厚くなるばかりか、組立工程が増えて材料コストや組立コストが増加する等といった欠点がある。

【0 0 0 5】

そこで、このような欠点を解決したMCP構造の半導体装置として、例えば、次のような特許文献1、2に記載されたものがある。

【0 0 0 6】

【特許文献 1】

特開 2 0 0 1 - 9 4 0 4 5 号公報

【特許文献 2】

特開 2 0 0 2 - 1 2 4 6 2 5 号公報

【0 0 0 7】

この特許文献 1、2 の半導体装置では、基板に、表面から裏面に至る開口部が形成され、この開口部内に、表面を下にした下チップが収容されている。下チップの裏面上には、例えば、この下チップと同一もしくは同一に近い上チップの裏面が固着されている。上チップから基板表面上のボンディングポストへワイヤボンディング方式でワイヤの配線が行われ、上チップとワイヤが樹脂で封止されている。基板裏面上には端子が設けられ、この端子がスルーホールを介して表面側のボンディングポストと電氣的に接続されている。そのため、上チップと下チップとを電氣的に接続する場合には、下チップから基板裏面上の端子へワイヤボンディング方式でワイヤの配線を行うか、あるいは下チップと基板裏面上の端子とを外部装置側で接続するようになっている。

【0 0 0 8】

このような MCP では、チップサイズが同一もしくは同一に近いチップを、スペーサを用いずに 2 チップ積層を可能にしているので、上記の欠点を解決できる。

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら、従来の上記特許文献 1、2 のような半導体装置では、次のような課題があった。

【0 0 1 0】

上チップと下チップとを電氣的に接続する場合、下チップから基板裏面上の端子へワイヤボンディング方式でワイヤの配線を行うか、あるいは下チップと基板裏面上の端子とを外部装置側で接続するようになっている。そのため、下チップ側のワイヤの高さ分だけパッケージ全体の厚さが厚くなったり、あるいは、下チ

ップと基板裏面上の端子とを外部装置側で電氣的に接続しなければならないので、余分な接続作業が必要になって使い勝手が悪いといった課題があった。

【 0 0 1 1 】

本発明は、前記従来技術の課題を解決し、薄型化、高密度実装が可能で、製造プロセスが簡単で、使い勝手の良い半導体装置及びその製造方法を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

前記課題を解決するために、本発明に係る半導体装置では、対向する第 1 及び第 2 の面を有し、前記第 1 の面から前記第 2 の面に至る開口部が形成された配線基板と、前記第 1 の面に形成された端子と、配線と、第 1、第 2 のチップと、ワイヤ等の導体と、樹脂等の封止体とを備えている。

【 0 0 1 3 】

前記配線は、前記配線基板の端子にスルーホール等によって電氣的に接続された状態で前記配線基板の第 2 の面に形成され、内側端部が所定寸法だけ前記開口部内へ突出している。例えば、前記配線基板の第 2 の面と、前記第 2 の面上の前記配線部分とは、絶縁膜により被覆されている。又、例えば、前記配線の内側端部は、複数本が前記開口部内へ突出して千鳥配置されている。前記配線基板の第 2 の面には、例えば、前記配線と電氣的に接続された第 2 の外部端子が突設されている。

【 0 0 1 4 】

前記第 1 のチップは、第 1 の外部端子が形成されると共に前記第 1 の外部端子の外側の外縁付近に内部接続端子が形成された第 3 の面と、前記第 3 の面に対向する第 4 の面とを有し、前記開口部内に収容されて前記内部接続端子が前記配線の内側端部上に載設され且つ前記内部接続端子が前記内側端部と電氣的に接続されている。この第 1 のチップは、例えば、前記内部接続端子及び前記第 1 の外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージ（以下「WCSP」という。）により構成されている。又、例えば、前記配線の内側端部と前記内部接続端子との接続箇所は、絶縁部材

により被覆されている。

【 0 0 1 5 】

前記第 2 のチップは、電極が形成された第 5 の面と、前記第 5 の面に対向する第 6 の面とを有し、前記第 6 の面が前記第 4 の面上に固着されている。この第 2 のチップは、1 つ又は複数のチップで構成されている。

【 0 0 1 6 】

前記ワイヤ等の導体により、前記第 2 のチップの電極と前記配線基板の配線とが電氣的に接続され、この導体と、前記第 1 及び第 2 のチップとが、前記樹脂等の封止体で封止されている。

【 0 0 1 7 】

更に、本発明に係る半導体装置の製造方法では、対向する第 1 及び第 2 の面を有する配線基板を準備する工程を有している。前記配線基板は、前記第 1 の面から前記第 2 の面に至る開口部が形成され、前記第 1 の面の前記開口部付近に端子が形成され、前記端子にスルーホールを介して電氣的に接続された配線が前記第 2 の面に形成され、前記配線の内側端部が所定寸法だけ前記開口部内へ突出している。

【 0 0 1 8 】

そして、第 1 の外部端子が形成されると共に前記第 1 の外部端子の外側の外縁付近に内部接続端子が形成された第 3 の面と、前記第 3 の面に対向する第 4 の面と、を有する W C S P 等で構成された第 1 のチップにおける前記内部接続端子と、前記開口部内に突出した前記配線の内側端部とを位置決めし、前記第 1 のチップを前記開口部へ挿入して前記内部接続端子を前記配線の内側端部上に載装し、前記内部接続端子を前記内側端部に電氣的に接続する工程を行う。

【 0 0 1 9 】

次に、電極が形成された第 5 の面と、前記第 5 の面に対向する第 6 の面と、を有する 1 つ又は複数の第 2 のチップにおける前記第 6 の面を、前記第 4 の面上に固着する工程と、前記第 2 のチップの電極と前記配線基板の配線とをワイヤ等の導体により電氣的に接続する工程とを行う。この工程の後、前記第 1 及び第 2 のチップと前記導体とを封止体で封止する工程を施している。又、前記封止する工

程の後に、前記配線基板の端子の外側箇所を切断して半導体装置を個片化する工程を、施しても良い。

【 0 0 2 0 】

【発明の実施の形態】

〔第 1 の実施形態〕

（構成）

図 1 (A)、(B) は本発明の第 1 の実施形態を示す半導体装置の構成図であり、同図 (A) は拡大断面図、及び同図 (B) は封止前の上面図（即ち、平面図）である。図 2 (A)、(B) はその半導体装置の構成図であり、同図 (A) は半導体装置の下面図（即ち、底面図）、及び同図 (B) はその半導体装置中の第 1 のチップの上面図（即ち、平面図）である。

【 0 0 2 1 】

この半導体装置は、例えば、等チップサイズの 2 チップ積層 M C P 構造において、ピッチが 0. 8 mm 以下の小ピッチ・ボール・グリッド・アレイ (Fine pitch Ball Grid Array、以下「F B G A」という。) 構造をしており、ガラスエポキシ基板、ポリイミド基板等で形成された配線基板 1 0 を有している。配線基板 1 0 の所定箇所には、第 1 の面（例えば、表面）から第 2 の面（例えば、裏面）に貫通する所定の形状（例えば、矩形状）及び寸法の開口部 1 1 が形成されている。

【 0 0 2 2 】

配線基板 1 0 の表面の開口部周辺には、所定の金属（例えば、C u + N i + A u 等）で形成された複数の端子（例えば、ボンディングポスト）1 2 が配設され、この複数のボンディングポスト 1 2 が複数のスルーホール 1 3 を介して、配線基板 1 2 の裏面側の複数の配線 1 4 に接続されている。複数の配線 1 4 は、開口部 1 1 の周辺に配設され、その各内側端部 1 4 a が所定寸法（例えば、1 0 0 μ m ~ 2 0 0 μ m）だけ開口部内へそれぞれ突出している。配線 1 4 は、例えば、C u 等で作成され、この内側端部 1 4 a が S n、半田等でめっきされている。配線基板 1 2 の裏面及びこの上の配線部分の全面は、エポキシ樹脂等の絶縁膜 1 5 により被覆されている。

【 0 0 2 3 】

開口部 1 1 内には、これよりも寸法が少し小さい第 1 のチップ（例えば、開口部 1 1 よりも 0. 1 m m 以上小さい下チップ）2 0 が挿入され、複数の配線 1 4 の内側端部 1 4 a 上に載設されている。下チップ 2 0 は、例えば、内部にメモリ、ロジック回路等の回路素子が内蔵された W C S P により構成され、この第 3 の面（例えば、表面）に、複数の第 1 の外部端子 2 3 が形成されると共に、この外部端子 2 3 の外側の外縁付近に、複数の内部接続端子 2 4 が形成され、これらの外部端子 2 3 及び内部接続端子 2 4 が内部の回路素子に接続されている。下チップ 2 0 の複数の内部接続端子 2 4 は、位置決めされて複数の内側端部 1 4 上に載置されて固定されている。

【 0 0 2 4 】

下チップ 2 0 の第 4 の面（例えば、裏面）上には、絶縁性エポキシ系接着剤等の接着材 2 5 により、該下チップ 2 0 と略同一形状を有する第 2 のチップ（例えば、上チップ）3 0 の第 6 の面（例えば、裏面）が固着されている。略同一形状を有するチップとは、同一種類、又は異なる機能を有するチップであっても実質的に同一のサイズを有するチップのことである。又、各チップを製造する際に生じるサイズのばらつきは考慮せず、実質的に同一形状であるとみなす。この上チップ 3 0 は、内部にメモリ、ロジック回路等の回路素子が内蔵され、この第 5 の面（例えば、表面）の外縁付近に、複数の電極（例えば、A 1 パッド）3 1 が形成され、これらのパッド 3 1 が内部の回路素子に接続されている。

【 0 0 2 5 】

上チップ 3 0 の複数のパッド 3 1 から配線基板 1 0 の複数のボンディングポスト 1 2 へ、導体（例えば、ワイヤボンディング方式によって A u ワイヤ）3 5 が配線されている。上チップ 3 0 の上面及び側面と、配線基板 1 0 の上面と、開口部 1 1 の内壁面及び下チップ 2 0 の側面の間の間隙箇所とは、エポキシ樹脂等の封止体 4 0 によって封止されている。

【 0 0 2 6 】

下チップ 2 0 を構成する W C S P は、例えば、回路素子が形成されたシリコン基板等の基板を有し、この基板の表面に、複数の電極（例えば、A 1 パッド）が

形成され、これらのパッドがポリイミド・コート等の絶縁膜で被覆されている。表面側の絶縁膜上には、複数のパッドに接続された所定の大きさの複数のバンブ状のCuポスト21が、再配線52により面配置されて形成されている。複数のポスト21側の面全体は、エポキシ樹脂等の封止体22で封止された後、ポスト21が露出するまで研磨される。なお、WCSPの厚さが薄い場合は、基板面も研磨される。露出した複数のポスト21上には、例えば、半田ボール又は半田ペースト等にて第1の外部端子23及び内部接続端子24が形成されている。外部端子23と内部接続端子24は、同一構造であり、外部端子23が内部接続端子24よりも口径及び高さが大きくなっている。

【0027】

製造方法では、例えば、配線基板10に複数の開口部11が形成され、これらの各開口部11に下チップ20及び上チップ30がそれぞれ搭載され、封止体40で同時に封止された後、各開口部周辺が所定の寸法に切断されて個片化され、FBGA構造の半導体装置が製造される。

【0028】

(動作)

下チップ20の内部接続端子24は、配線基板10の配線14、スルーホール13、ボンディングポスト12、及びワイヤ35を介して上チップ30のパッド31に電氣的に接続されている。そのため、半導体装置の外部端子23を回路基板等に搭載すれば、この回路基板等と下チップ20及び上チップ30とが電氣的に接続され、半導体装置が所定の動作を行う。

【0029】

(効果)

この第1の実施形態では、次の(1)～(3)のような効果がある。

【0030】

(1) 下チップ20と上チップ30とを、配線基板10の配線14、スルーホール13、及びワイヤ35を介して、相互に電氣的に接続しているので、下チップ20と上チップ30とを回路基板側等で相互に接続する必要がなくなり、従来のような余分な接続作業が不要になって使い勝手が向上する。

【 0 0 3 1 】

(2) 配線基板 1 0 の開口部 1 1 内に、下チップ 2 0 を表面側を下にして収容し、その下チップ 2 0 の裏面側に、等チップサイズの上チップ 3 0 を裏面側を下にして固着したので、薄型化及び高密度実装が可能になる。

【 0 0 3 2 】

(3) 上チップ 3 0 と等チップサイズの下チップ 2 0 を W C S P 構造にして、配線基板 1 0 に開口部 1 1 を形成した構造にしたので、材料コストの削減、製造工程数の減少による生産性の向上、及び従来の 3 チップ積層構造よりもリフロー耐性の向上が図れる。

【 0 0 3 3 】

[第 2 の実施形態]

(構成)

図 3 は、本発明の第 2 の実施形態を示す半導体装置の下面図 (即ち、底面図) であり、第 1 の実施形態を示す図 1 及び図 2 中の要素と共通の要素には共通の符号が付されている。

【 0 0 3 4 】

この半導体装置は、第 1 の実施形態と同様に、等チップサイズの 2 チップ積層 M C P 構造において F B G A 構造をしている。この半導体装置が第 1 の実施形態の半導体装置と異なる点は、配線基板 1 0 の裏面側において開口部 1 1 内へ突出する複数の配線 1 4 の内側端部 1 4 a が、接続面積を大きくするために丸く大きく形成されて千鳥配置され、これに対応して、下チップ 2 0 の表面に形成される複数の内部接続端子 2 4 も千鳥配置されていることである。

【 0 0 3 5 】

複数の配線 1 4 は、第 1 の実施形態と同様に、例えば、C u 等で作成され、開口部内へ所定寸法 (例えば、 $100\mu\text{m} \sim 200\mu\text{m}$) だけそれぞれ突出する各内側端部 1 4 a が S n、半田等でめっきされている。この複数の内側端部 1 4 a 上に、下チップ 2 0 の表面側に形成された複数の内部接続端子 2 4 が位置決めされて載置され、固定されている。その他の構成は、第 1 の実施形態と同様である。

【 0 0 3 6 】

製造方法は、第 1 の実施形態と同様に、例えば、配線基板 1 0 に形成された複数の開口部 1 1 に、下チップ 2 0 及び上チップ 3 0 がそれぞれ搭載され、封止体 4 0 で同時に封止された後、各開口部周辺が所定の寸法に切断されて個片化され、F B G A 構造の半導体装置が製造される。

【 0 0 3 7 】

(動作)

第 1 の実施形態と略同様に、下チップ 2 0 の表面側に千鳥配置された内部接続端子 2 4 は、配線基板 1 0 の裏面側に千鳥配置された配線 1 4 の内側端部 1 4 a、スルーホール 1 3、ボンディングポスト 1 2、及びワイヤ 3 5 を介して上チップ 3 0 のパッド 3 1 に電氣的に接続されている。そのため、下チップ 2 0 と上チップ 3 0 とが電氣的に接続され、半導体装置が所定の動作を行う。

【 0 0 3 8 】

(効果)

この第 2 の実施形態では、第 1 の実施形態と同様の効果が得られる上に、次のような効果がある。

【 0 0 3 9 】

例えば、複数の配線 1 4 の配線ピッチが $100\mu\text{m}$ 以下になった場合、内部接続端子 2 4 と配線 1 4 の接続面積が小さくなって接続強度が小さくなる。そこで、本実施形態では、配線 1 4 の内側端部 1 4 a の先端を千鳥配置にすることで、先端部を大きくでき、接続強度を向上させることができる。

【 0 0 4 0 】

[第 3 の実施形態]

(構成等)

図 4 (A)、(B) は、本発明の第 3 の実施形態を示す半導体装置の構成図であり、同図 (A) は拡大断面図、及び同図 (B) は下面図 (即ち、底面図) である。この図 4 では、第 1、第 2 の実施形態を示す図 1 ～図 3 中の要素と共通の要素に共通の符号が付されている。

【 0 0 4 1 】

この半導体装置は、第 1、第 2 の実施形態と同様に、等チップサイズの 2 チップ積層 M C P 構造において F B G A 構造をしている。この半導体装置が第 1、第 2 の実施形態の半導体装置と異なる点は、配線基板 1 0 の表面側を封止体 4 0 で封止しても、配線 1 4 の内側端部 1 4 a と内部接続端子 2 4 との接続箇所が露出しているので、封止体 4 0 での封止後、前記接続箇所に、例えば、液状の封止樹脂等の絶縁部材 4 1 を塗布して硬化させ、その後、所定の寸法に切断して F B G A 構造にしている。その他の構成は、第 1、第 2 の実施形態と同様である。

【 0 0 4 2 】

(効果)

この第 3 の実施形態では、第 1、第 2 の実施形態と同様の効果が得られる上に、次のような効果がある。

【 0 0 4 3 】

配線 1 4 の内側端部 1 4 a と内部接続端子 2 4 との接続箇所の露出部分を、絶縁部材 4 1 で被覆しているため、その露出部分が保護されて接続箇所の信頼性が向上する。

【 0 0 4 4 】

[第 4 の実施形態]

(構成等)

図 5 (A)、(B) は、本発明の第 4 の実施形態を示す半導体装置の構成図であり、同図 (A) は拡大断面図、及び同図 (B) は下面図 (即ち、底面図) である。この図 5 では、第 3 の実施形態を示す図 4 中の要素と共通の要素に共通の符号が付されている。

【 0 0 4 5 】

この半導体装置は、第 3 の実施形態と同様に、等チップサイズの 2 チップ積層 M C P 構造において F B G A 構造をしている。この半導体装置では、第 3 の実施形態に追加して、配線基板 1 0 の裏面の外縁付近に、複数の半田ボール等の第 2 の外部端子 1 6 が突設されている。複数の外部端子 1 6 は、配線 1 4 を介してスルーホール 1 3 又は内部接続端子 2 4 に接続されている。その他の構成は、第 3 の実施形態と同様である。

【0046】

(効果)

この第4の実施形態では、第3の実施形態と同様の効果が得られる上に、次のような効果がある。

【0047】

配線基板10の裏面に設けられた外部端子16を、配線14を介してスルーホール13に接続する構造にした場合、上チップ30のパッド31を、スルーホール13及び外部端子16を介して直接外部に引き出せるので、配線長が短くなり、電気特性を向上できる。又、外部端子16を、配線14を介して下チップ20側の内部接続端子24に接続する構造にした場合、下チップ20の表面のみだと外部端子数に限度があるので、配線基板10側に外部端子16を設けることにより、端子数を増やすことが可能である。

【0048】

[第5の実施形態]

(構成等)

図6は、本発明の第5の実施形態を示す半導体装置の拡大断面図であり、第4の実施形態を示す図5中の要素と共通の要素には共通の符号が付されている。

【0049】

この半導体装置は、第4の実施形態と同様に、等チップサイズの2チップ積層MCP構造においてFBGA構造をしている。この半導体装置では、第4の実施形態の1つの上チップ30に代えて、複数の上チップ30-1, 30-2が使用されている。これらの上チップ30-1, 30-2は、所定間隔隔ててその裏面が、接着材25によって下チップ20の裏面に固着され、各上チップ30-1, 30-2の表面側の複数のパッド31が、ワイヤ35によって配線基板10側の複数のボンディングポスト12に接続されている。これらの上チップ30-1, 30-2及びワイヤ35は、封止体40で封止されている。その他の構成は、第4の実施形態と同様である。

【0050】

(効果)

この第 5 の実施形態では、第 4 の実施形態と同様の効果が得られる上に、他種類のチップ 2 0、3 0 - 1、3 0 - 2 を搭載することにより、1 つのパッケージで機能を向上できる。なお、上チップ 3 0 - 1、3 0 - 2 は、3 個以上設けても良い。

【 0 0 5 1 】

[第 6 の実施形態]

(製造方法)

図 7 (A) ~ (J) は、本発明の第 6 の実施形態である半導体装置の製造方法を示す製造工程図、及び図 8 (A) ~ (I) は、図 7 中の下チップの製造工程図である。これらの図 7 及び図 8 において、第 1 の実施形態を示す図 1 及び図 2 中の要素と共通の要素には共通の符号が付されている。

【 0 0 5 2 】

本実施形態では、第 1 の実施形態を示す図 1 及び図 2 の半導体装置が、例えば、次の (1) ~ (6) のような製造工程によって製造される。

【 0 0 5 3 】

(1) 図 7 (A) ~ (C) の下チップ形成工程

図 7 (A) の素子形成工程において、例えば、シリコンウエハ 5 0 に、W C S P により構成された多数の下チップ 2 0 を規則的に配列して形成し、図 7 (B) のプロービング工程において、各下チップ 2 0 をプローバで測定し不良品にマークをつけて良否を分類した後、図 7 (C) のダイシング工程において、パッケージに組み込むために個々の下チップ 2 0 に切断して分割する。

【 0 0 5 4 】

このような製造工程の具体例が、図 8 (A) ~ (I) に示されている。

【 0 0 5 5 】

図 8 (A) において、例えば、シリコンウエハ 5 0 に、拡散、ホトエッチング等によって回路素子を作り込むと共に、表面に多数の電極（例えば、A 1 パッド）を形成し、図 8 (B) において、表面全面をポリイミド・コート等の絶縁膜 5 1 で被覆する。図 8 (C) において、パッド再配置のために絶縁膜 5 1 上に、C u 等でめっきされた再配線 5 2 を形成する。この再配線 5 2 は、所定箇所、絶

縁膜 5 1 下の多数のパッドに電氣的に接続されている。図 8 (D) において、再配線 5 2 上に、所定の大きさの複数のバンプ状の Cu ポスト 2 1 を形成する。

【 0 0 5 6 】

図 8 (E) において、ポスト 2 1 を含む全面を、トランスファ方式を用いてエポキシ樹脂等の封止体 2 2 で封止し、図 8 (F) において、ポスト 2 1 が露出するまで研磨 (グラインド) する。図 8 (G) において、露出した複数のポスト 2 1 上に、半田ボール等の口径及び高さの大きな外部端子 2 3 を形成すると共に、半田ペースト等を用いた口径及び高さの小さな内部接続端子 2 4 を形成する。図 8 (H) において、プロービング工程によって良否を分類し、ダイシング工程によって各下チップ 2 0 を分割した後、図 8 (I) において、外観の検査をして良品のみを次工程で使用する。

【 0 0 5 7 】

(2) 図 7 (D) ~ (F) の上チップ形成工程

前記 (1) の下チップ形成工程と並行して、図 7 (D) の素子形成工程において、例えば、シリコンウエハ 6 0 に、多数の上チップ 3 0 を規則的に配列して形成すると共に、各上チップ 3 0 の表面に多数の電極 (例えば、A 1 パッド) を形成し、図 7 (E) のプロービング工程において、各上チップ 3 0 をプローバで測定し不良品にマークをつけて良否を分類した後、図 7 (F) のダイシング工程において、パッケージに組み込むために個々の上チップ 3 0 に切断して分割する。

【 0 0 5 8 】

(3) 図 7 (G) の配線基板準備工程

予め、複数の開口部 1 1 等が形成された配線基板 1 0 を準備しておく。

配線基板 1 0 は、ガラスエポキシ基板、ポリイミド基板等で形成され、所定箇所に、複数の開口部 1 1 が形成されている。この配線基板 1 0 の表面の開口部周辺には、例えば、Cu + Ni + Au 等で形成された複数のボンディングポスト 1 2 が配設され、この複数のボンディングポスト 1 2 が複数のスルーホール 1 3 を介して、配線基板 1 2 の裏面側の複数の配線 1 4 に接続されている。複数の配線 1 4 は、開口部 1 1 の周辺に配設され、例えば、その各内側端部 1 4 a が 1 0 0 μ m ~ 2 0 0 μ m 程度、開口部内へそれぞれ突出している。配線基板 1 2 の裏面

及びこの上の配線部分の全面は、エポキシ樹脂等の絶縁膜 1 5 により被覆されている。

【 0 0 5 9 】

(4) 図 7 (H) のダイボンディング工程

図 7 (C) で分割した下チップ 2 0 の内部接続端子 2 4 を位置決めし、配線基板 1 0 の開口部 1 1 内に挿入して配線 1 4 の内側端部 1 4 a 上に載置し、固着する。そして、下チップ 2 0 の裏面上に、絶縁性エポキシ系接着剤等の接着材 2 5 を介して、図 7 (F) で分割した上チップ 3 0 の裏面を固着する。

【 0 0 6 0 】

(5) 図 7 (I) のワイヤボンディング工程

上チップ 3 0 の複数のパッド 3 1 から配線基板 1 0 の複数のボンディングポスト 1 2 へ、ワイヤボンディング方式によってワイヤ 3 5 を配線する。

【 0 0 6 1 】

(6) 図 7 (J) の封止・個片化工程

上チップ 3 0 の上面及び側面と、配線基板 1 0 の上面と、開口部 1 1 の内壁面及び下チップ 2 0 の側面の間の間隙箇所とを、エポキシ樹脂等の封止体 4 0 で封止する。

【 0 0 6 2 】

その後、各開口部 1 1 の周辺を所定の寸法に切断して個片化すれば、複数の F B G A 構造の半導体装置が得られるので、製造工程を終了する。

【 0 0 6 3 】

(効果)

この第 6 の実施形態の製造方法では、上チップ 3 0 と等チップサイズの下チップ 2 0 を W C S P 構造にして、配線基板 1 0 の開口部 1 1 内に収容するようにしたので、材料コストの削減、製造工程数の減少による生産性の向上、及び従来の 3 チップ積層構造よりもリフロー耐性の向上が図れる。

【 0 0 6 4 】

[利用形態]

本発明は、上記実施形態に限定されず、種々の変形や利用形態が可能である。

その変形や利用形態としては、例えば、次の（a）、（b）のようなものがある。

【 0 0 6 5 】

（a） 第 1 ～ 第 5 の実施形態は、それらの相互間で任意の組み合わせが可能である。又、第 1 ～ 第 5 の実施形態において、図示以外の形状、構造、材料等に変更が可能である。

【 0 0 6 6 】

（b） 第 6 の実施形態の製造方法は、第 2 ～ 第 5 の実施形態にも適用が可能である。又、図示の使用材料、製造方法、工程順序等は、任意に変更が可能である。

【 0 0 6 7 】

【発明の効果】

以上詳細に説明したように、本発明の半導体装置によれば、第 1 のチップと第 2 のチップとを、配線基板の配線及び導体を介して、相互に電氣的に接続しているので、第 1 と第 2 のチップを回路基板側等で相互に接続する必要がなくなり、従来のような余分な接続作業が不要になって使い勝手が向上する。しかも、配線基板の開口部内に、第 1 のチップを表面側を下にして収容し、その第 1 のチップの裏面側に、第 2 のチップを裏面側を下にして固着したので、薄型化及び高密度実装が可能になる。

【 0 0 6 8 】

配線基板の裏面に第 2 の外部端子を設けることで、第 2 のチップの電極を直接外部に引き出せ、これにより、配線長が短くなり、電気特性を向上できる。又、第 1 のチップの表面のみだと外部端子数に限度があるので、配線基板側に第 2 の外部端子を設けることにより、端子数を増やすことが可能である。

【 0 0 6 9 】

第 2 のチップを複数のチップで構成することで、1 つのパッケージで機能を向上できる。

【 0 0 7 0 】

配線の内側端部の先端を千鳥配置にすることで、先端部を大きくでき、接続強

度を向上させることができる。

【 0 0 7 1 】

配線の内側端部と内部接続端子との接続箇所の露出部分を、絶縁部材で被覆することで、その露出部分が保護されて接続箇所の信頼性が向上する。

【 0 0 7 2 】

本発明の半導体装置の製造方法によれば、第 1 のチップを例えば W C S P 構造にして、配線基板の開口部内に收容するようにしたので、材料コストの削減、製造工程数の減少による生産性の向上、及び従来の 3 チップ積層構造よりもリフロー耐性の向上が図れる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す半導体装置の構成図である。

【図 2】

本発明の第 1 の実施形態を示す半導体装置の構成図である。

【図 3】

本発明の第 2 の実施形態を示す半導体装置の底面図である。

【図 4】

本発明の第 3 の実施形態を示す半導体装置の構成図である。

【図 5】

本発明の第 4 の実施形態を示す半導体装置の構成図である。

【図 6】

本発明の第 5 の実施形態を示す半導体装置の拡大断面図である。

【図 7】

本発明の第 6 の実施形態を示す半導体装置の製造工程図である。

【図 8】

図 7 中の下チップの製造工程図である。

【符号の説明】

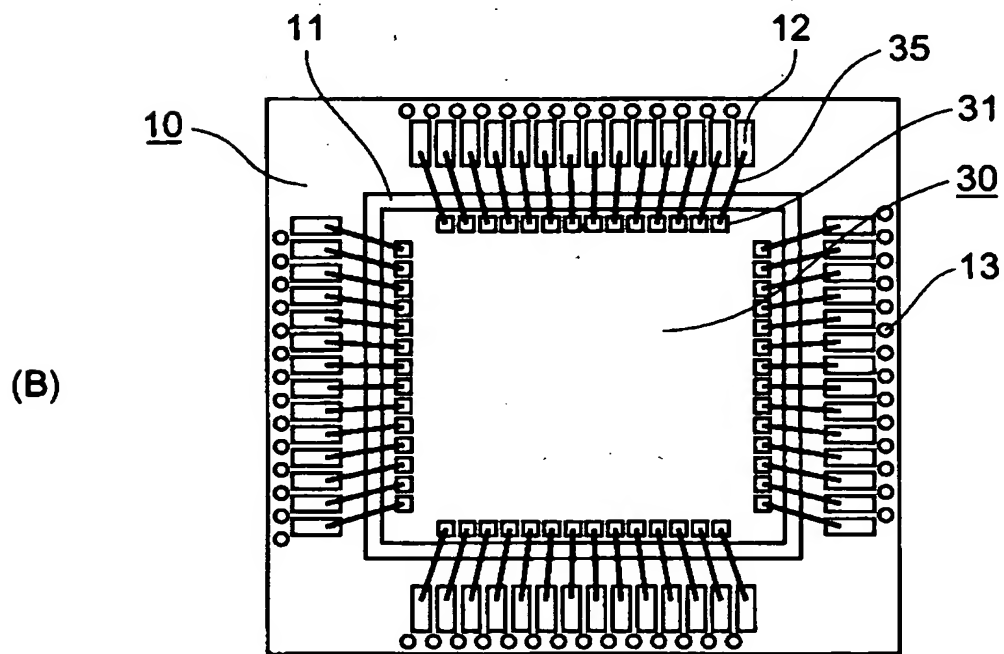
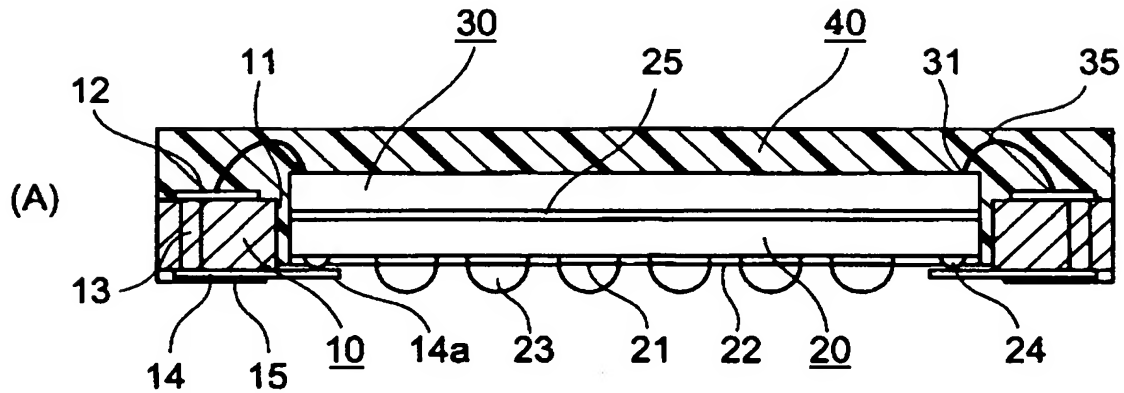
- 1 0 配線基板
- 1 1 開口部

1 2	ボンディングポスト
1 3	スルーホール
1 4	配線
1 4 a	内側端部
1 5	絶縁膜
1 6	第 2 の外部端子
2 0	第 1 のチップ
2 1	ポスト
2 2	封止体
2 3	第 1 の外部端子
2 4	内部接続端子
2 5	接着材
3 0	第 2 のチップ
3 1	パッド
3 5	ワイヤ
4 0	封止体
4 1	絶縁部材

【書類名】 図面

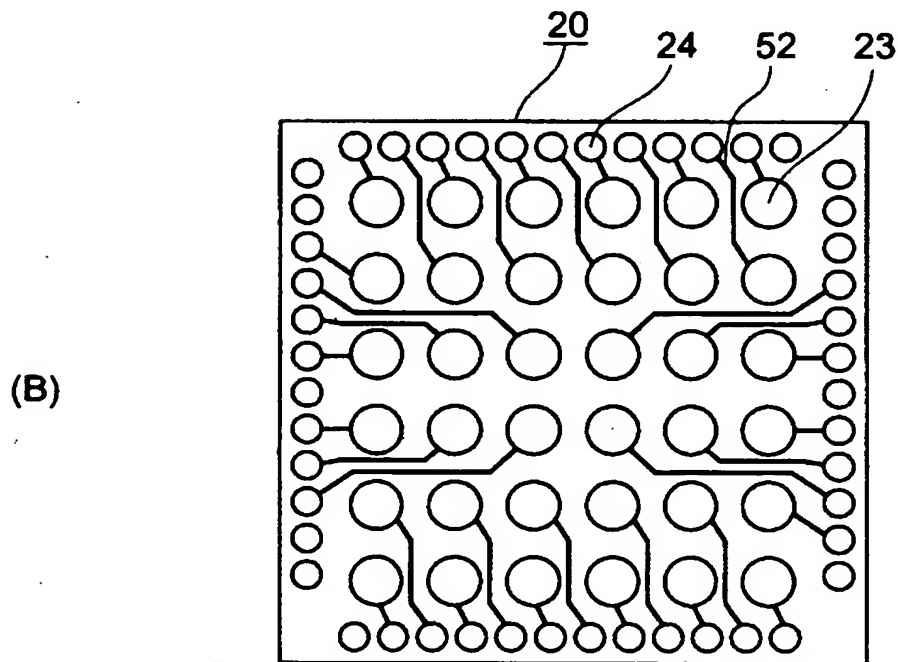
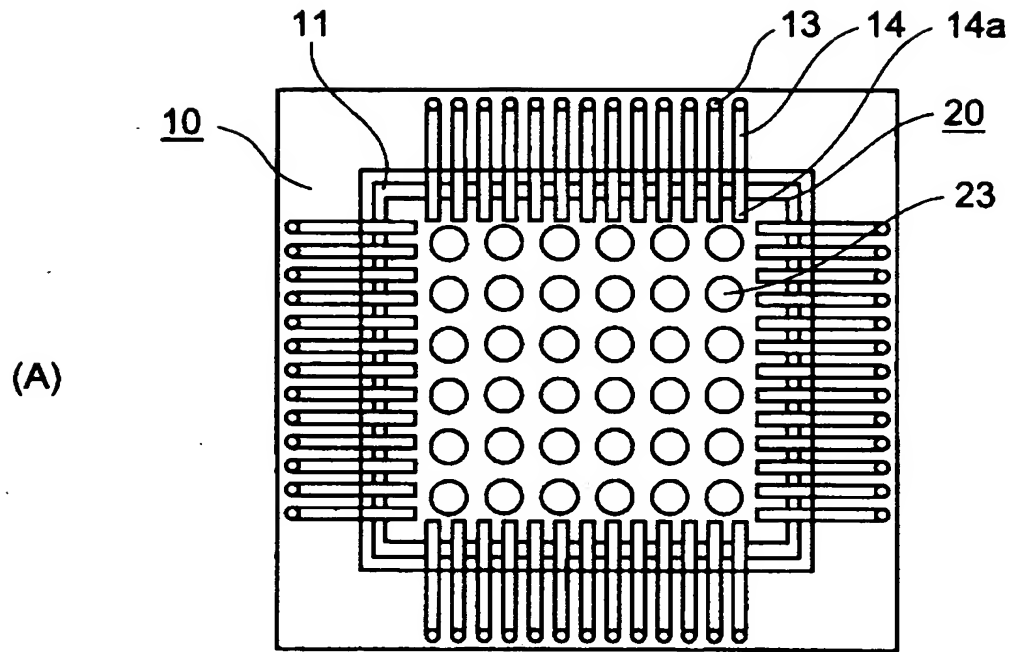
【図 1】

10 : 配線基板 30 : 第2のチップ
20 : 第1のチップ 40 : 封止体



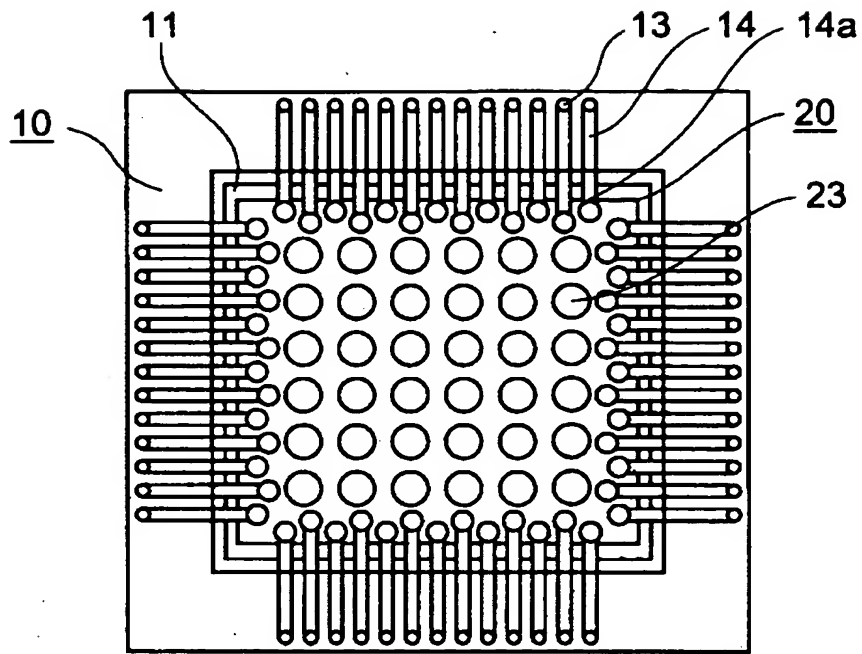
本発明の第1の実施形態の半導体装置

【図 2】



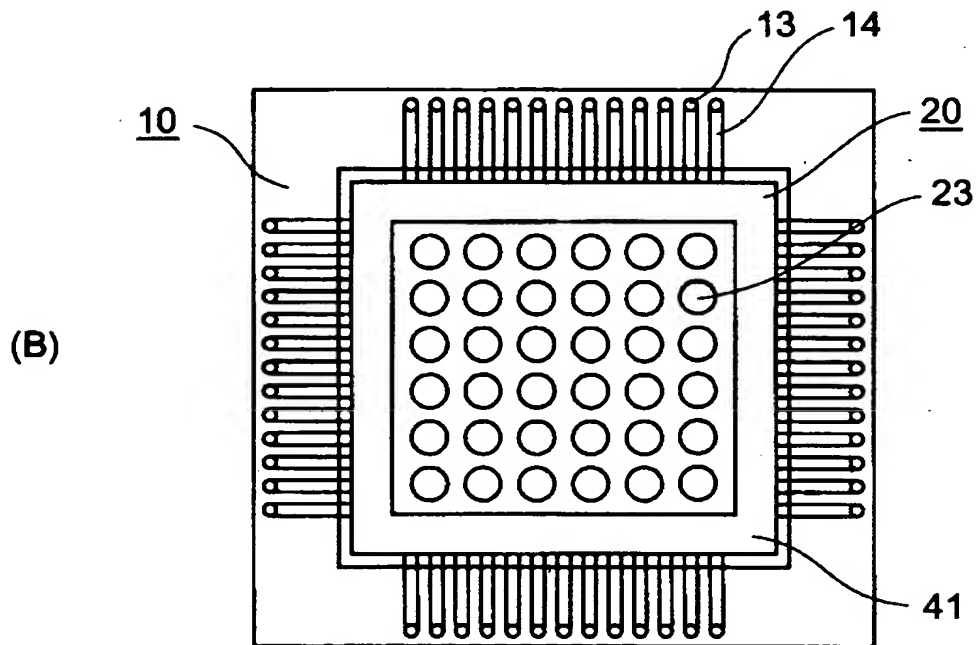
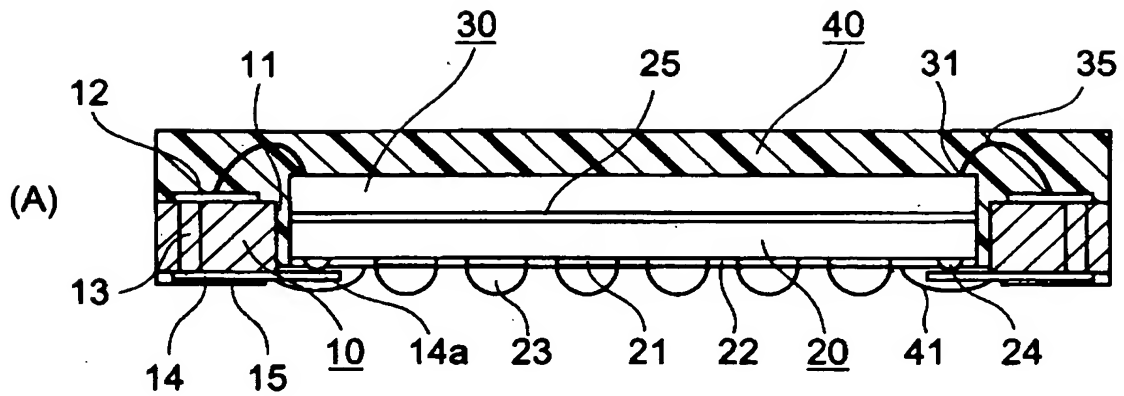
本発明の第1の実施形態の半導体装置

【図 3】



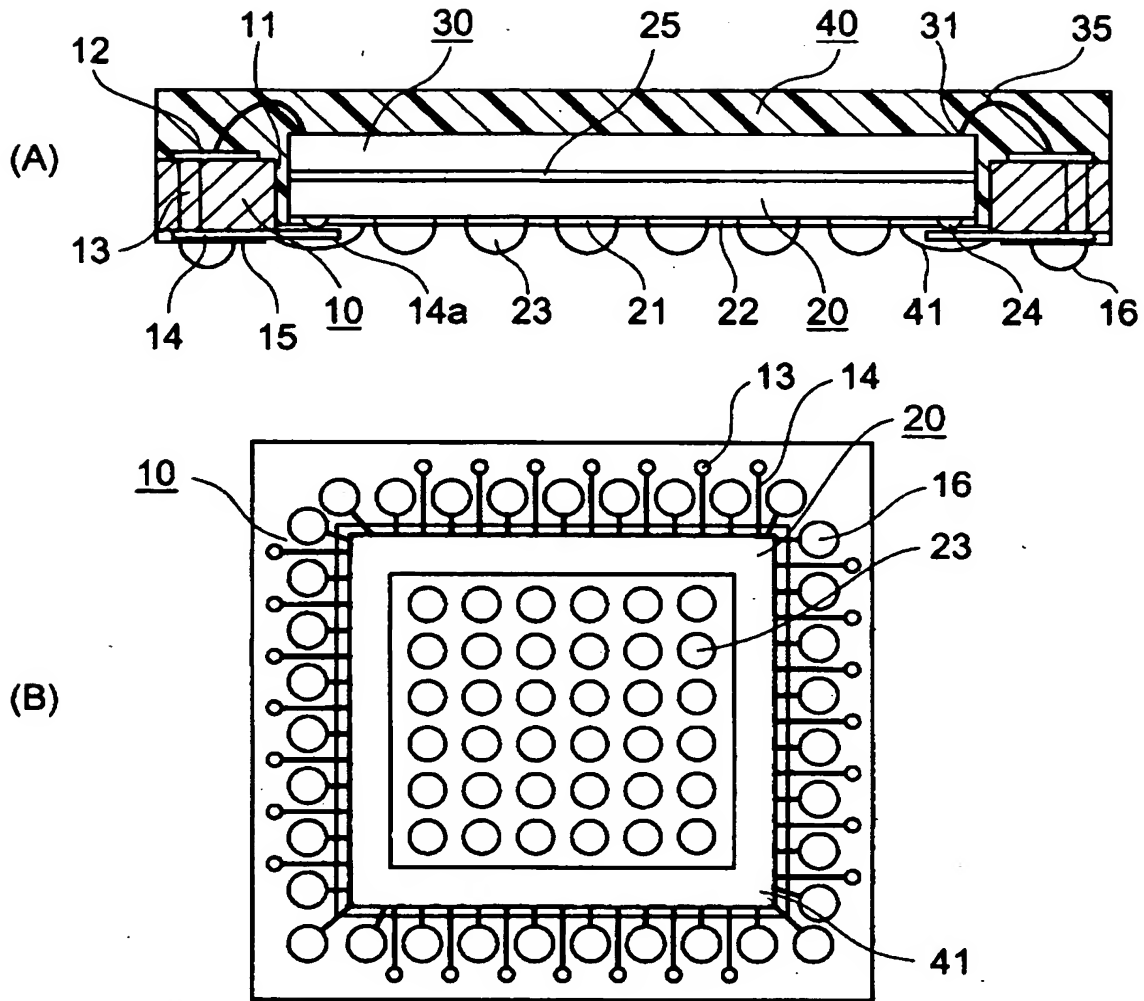
本発明の第2の実施形態の半導体装置

【図 4】



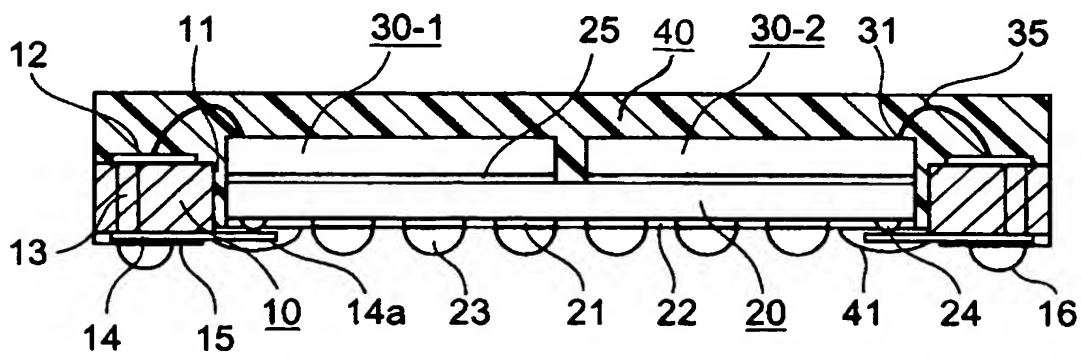
本発明の第3の実施形態の半導体装置

【図 5】



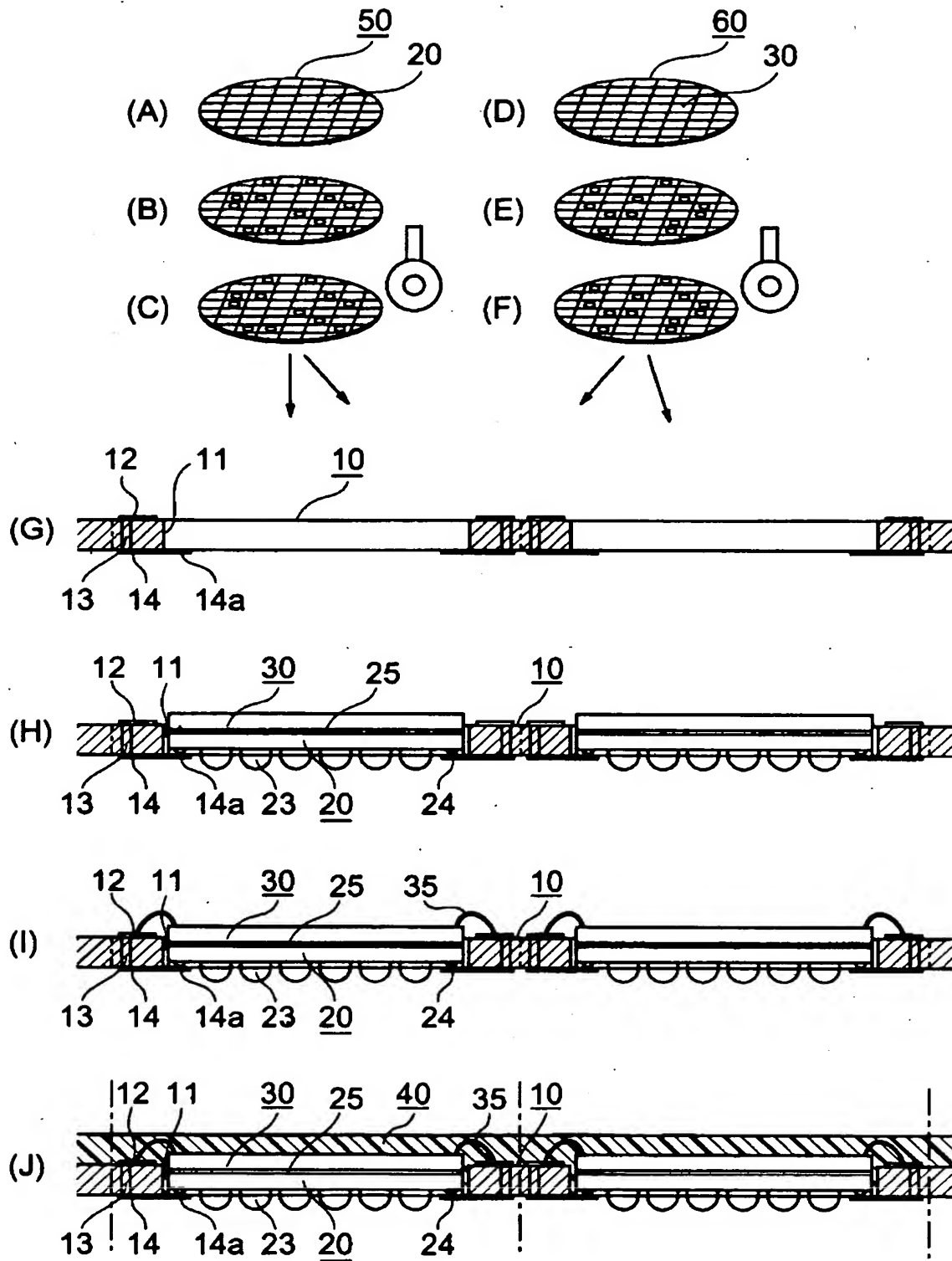
本発明の第4の実施形態の半導体装置

【図 6】



本発明の第5の実施形態の半導体装置

【図 7】



本発明の第6の実施形態の半導体装置の製造工程

【図 8】

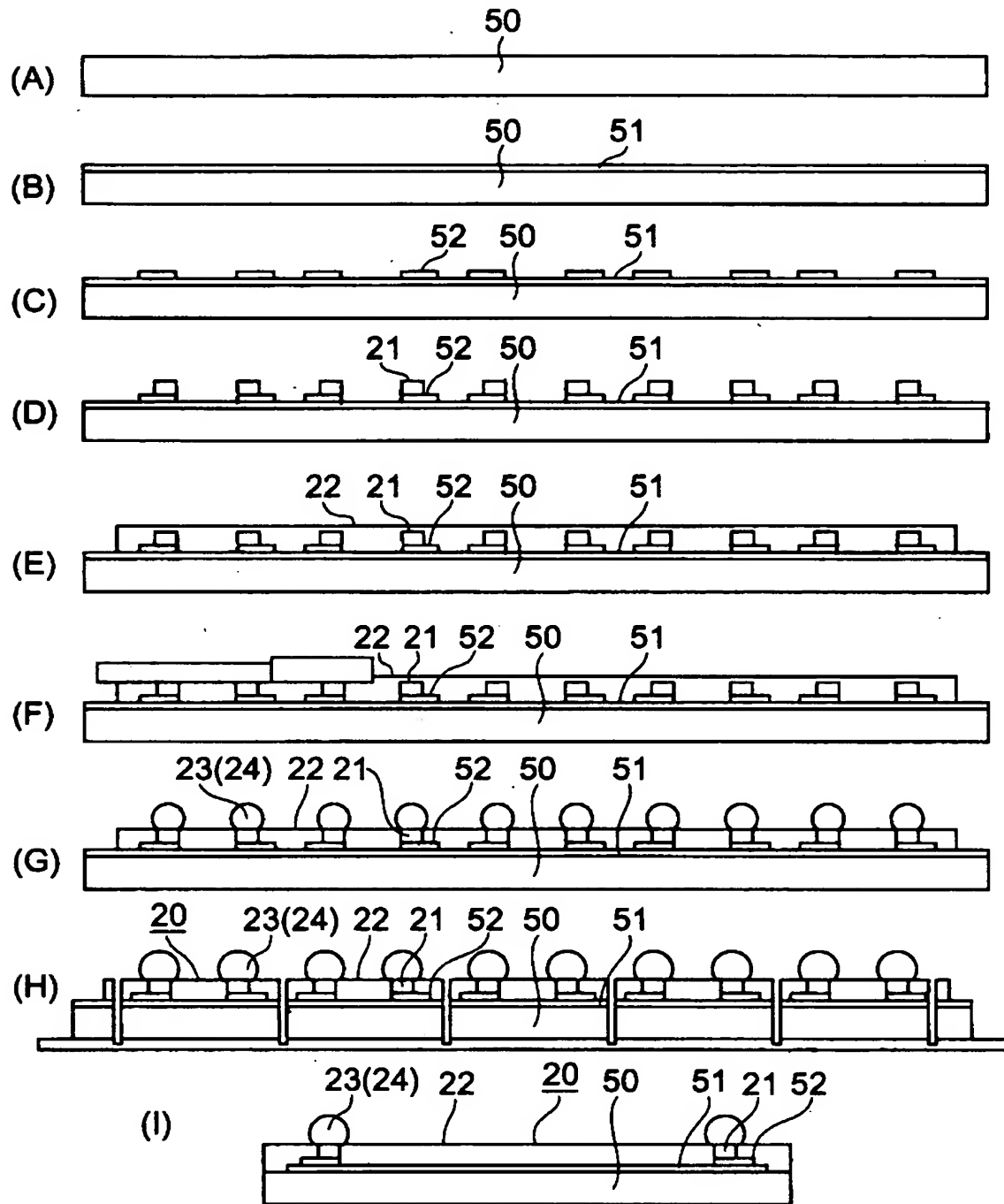


図7中の下チップの製造工程

【書類名】 要約書

【要約】

【課題】 薄型化、高密度実装が可能で、製造プロセスが簡単で、使い勝手の良い半導体装置及びその製造方法を提供する。

【解決手段】 配線基板 1 0 に複数の開口部 1 1 が形成され、これらの各開口部 1 1 に、ウエハレベルのチップサイズパッケージ (W C S P) で構成された下チップ 2 0 が収容されると共に、その下トップ 2 0 の上に上チップ 3 0 がそれぞれ搭載され、それらがエポキシ樹脂等の封止体 4 0 で封止されている。下チップ 2 0 の内部接続端子 2 4 は、配線基板 1 0 の配線 1 4、スルーホール 1 3、ボンディングポスト 1 2、及びワイヤ 3 5 を介して上チップ 3 0 のパッド 3 1 に電氣的に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社